

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-326210

(43)公開日 平成6年(1994)11月25日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
21/52	A	7376-4M		
33/00	N	7376-4M		
			H 0 1 L 23/ 12	F
				J
			審査請求 未請求 請求項の数4 O L (全 4 頁)	最終頁に続く

(21)出願番号 特願平5-111466

(22)出願日 平成5年(1993)5月13日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 石井 光男

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

(74)代理人 弁理士 早瀬 意一

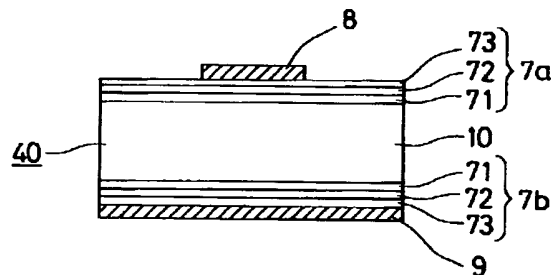
(54)【発明の名称】 光半導体素子用サブマウント

(57)【要約】

【目的】 特に低熱特性に必要なJ/D組立の際、ダイボンドした半田がチップサイドに露出したジャンクションに接触する事を防止する。

【構成】 サブマウント基体10の両面にバリヤ層7a, 7bを形成し、さらにバリヤ層7a上に部分的にAuSn共晶半田層8を形成し、バリヤ層7b上に全面にAuSn共晶半田層9を設ける。

【効果】 チップサイドにはみ出す半田量を十分抑える事ができ、ジャンクションへの半田ショートによる初期不良の低減及び環境試験に於いて半田による影響を殆ど受けることのない信頼性の高いレーザ素子が得られる。



1

## 【特許請求の範囲】

【請求項1】 光半導体素子のチップを放熱用金属ブロックに接着する際に上記チップと金属ブロックとの間に介在させて用いられる光半導体素子用サブマウントにおいて、

サブマウント基体と、

上記サブマウント基体の両側に形成されたバリヤ層と、

上記一方のバリヤ層表面に形成され、上記チップのサイズよりも小さい面積を有する共晶半田層と、

上記他方のバリヤ層の表面全面に形成された共晶半田層とからなることを特徴とする光半導体素子用サブマウント。

【請求項2】 請求項1記載の光半導体素子用サブマウントにおいて、

上記バリヤ層の最表面層はAuであり、

上記共晶半田層はAuSn層からなり、そのSn層が上記バリヤ層と接触することを特徴とする光半導体素子用サブマウント。

【請求項3】 請求項1記載の光半導体素子用サブマウントにおいて、

上記AuSn層からなる共晶半田層のSnに高純度なものを用いることを特徴とする光半導体素子用サブマウント。

【請求項4】 請求項1記載の光半導体素子用サブマウントにおいて、

上記チップは上記サブマウント基板近傍に発光点を有するジャンクションダウン構造を有するものであることを特徴とする光半導体素子用サブマウント。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、光半導体素子の実装に使用する光半導体素子用サブマウントに関するものである。

【0002】

【従来の技術】図3は従来の半導体レーザ素子のダイボンドしたサブマウントの断面図である。図において、1はレーザチップ、2はレーザチップ1の接着面に設けられた表面メタライズ、3はレーザチップ1のレーザ光の発せられる発光点、4は上記レーザチップ1を実装するためのサブマウント、5は上記サブマウント4を搭載する金属ブロック、6は上記レーザチップ1をサブマウント4に接着するための半田である。

【0003】次に組立方法について説明する。図3において、レーザチップ1はレーザチップの表面メタライズ2の上に図示しない接着用の半田メタライズを有しており、レーザの組立では、一般的に放熱の良い金属ブロック5にサブマウント4を介して半田6を用いてチップ1が接着される。さらにODD（光磁気ディスクドライバ）やプリンタに使用する場合には、低熱抵抗や低熱特性を得るために、発光点3をサブマウント4に近づけて

2

組立てを行なうJ/D（ジャンクションダウン）組立が必要不可欠である。この場合、ダイボンド中の半田6がチップ1とサブマウント4との間で溶融し、チップ1の周辺部まで広がって最終的に固着するが、発光点3が接着面（ダイボンド面）から約数 $\mu\text{m}$ の位置にあるため、固着した半田6がチップ1のサイドに露出したP-Nジャンクションに接触することがある。

【0004】

【発明が解決しようとする課題】従来の光半導体素子用サブマウントは以上のように構成されているので、ダイボンドの際にサブマウントの表面にはみ出した半田が発光点近傍のチップサイドに露出したジャンクション部に接触し、初期ショート不良となって歩留低下が発生したり、また初期不良となることを避けられたとしてもユーザの使用中に、マイクロ放電現象によって半田がジャンクション部に間欠的に接触するショート不具合となることがあるという問題点があった。

【0005】この発明は上記のような問題点を解消するためになされたもので、ダイボンド時の半田が、チップサイドに露出したジャンクション部に接触してショート不良となるのを防止し、歩留が高く、かつ耐環境性試験においても特性変動が少なく、信頼性の高い半導体レーザ素子を得ることができる光半導体素子用サブマウントを提供することを目的とする。

【0006】

【課題を解決するための手段】この発明に係る光半導体素子用サブマウントは、サブマウント基体の両面にバリヤ層を設け、一方のバリヤ層の上にチップサイズより若干小さい共晶半田層を設け、他方のバリヤ層の全面に共晶半田層を設けたものである。

【0007】

【作用】この発明においては、サブマウントのレーザチップと接触する側に形成された共晶半田がチップサイズ相当の大きさに限定されて形成されているために、ダイボンドした際の半田がチップサイドに大きくはみ出してジャンクション部に接触することが抑制されるとともに、はみ出したとしても共晶半田により形成されているため、バリヤ層と十分に馴染んで、表面状態の良好な半田フィレットが形成され、ジャンクション部と接触することは殆どなくなる。

【0008】

【実施例】実施例1. 以下、この発明の実施例による光半導体素子用サブマウントを図について説明する。図1において、40はシリコン、又はシリコンカーバイト、又は窒化アルミニウムより構成されたサブマウントを示し、該サブマウント40を構成するサブマウント基体10の両面にそれぞれ、第1層Ti層71、第2層Ni層又はPt層72、第3層Au層73よりなるバリヤメタル7a、7bが形成され、さらに一方のバリヤメタル7aの表面にレーザチップ1のサイズに相当する大きさの

3

AuSn半田層(Sn wt%=20~40%)8が設けられ、他方のバリヤメタル7bの表面にAuSn半田層9が形成されている。また、図2は上記サブマウント40を用いてレーザチップをダイボンドしたときの様子を示す断面図であり、図3と同一符号は同一または相当部分を示す。

【0009】次に作用、効果について説明する。サブマウント基体10のバリヤメタル7aが形成された面にはレーザチップ1のサイズに相当するAuSn半田層8が蒸着又はスパッタにより形成され、サブマウント基体10のバリヤメタル7bが形成された面には全面にAuSn半田層9が蒸着又はスパッタにより形成されている。この場合、Snの純度が6N(99.9999%)以上のものを使用することで、ダイボンド時の半田溶融において、下地のバリヤ層7aの最表面層であるAu層73と十分に馴染むようになり、表面形状が滑らかなAuSn共晶半田層が形成されるようになる。このようなサブマウント40を用いて図2に示すように、J/D(ジャンクションダウン)組立を行なった場合、レーザチップ1のサイドへはみ出す半田8は十分に抑えられ、はみ出した場合においても、ジャンクション部への半田ショートは殆どなくなる。また、ヒートサイクル、高温保存等の環境試験においても、レーザの特性変動の少ない信頼性の高いレーザ装置が得られる。

【0010】

【発明の効果】以上のように、この発明に係る光半導体素子用サブマウントによれば、サブマウント基体の両面にバリヤ層を設け、さらにその上に前記基体の主面側に

4

レーザチップのサイズ相当の大きさの共晶半田層を設け、かつ上記基体の裏面側全面に共晶半田層を形成したので、ダイボンドの際にチップサイドにはみ出す半田の量を十分に抑制でき、チップサイドへ露出したジャンクション部への半田ショートを十分に抑えて歩留を向上させることができるとともに、ヒートサイクル、高温保存等の環境試験においても、半田の影響を殆ど受けず、特性変動の少ない信頼性の高い半導体レーザ素子が得られるという効果がある。

【図面の簡単な説明】

【図1】この発明の実施例による光半導体素子用サブマウントの断面図。

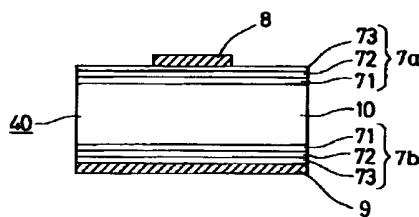
【図2】上記サブマウントを用いて半導体レーザ素子を実装した場合の装置断面図。

【図3】従来の半導体レーザ素子をダイボンドしたときの様子を示す装置断面図。

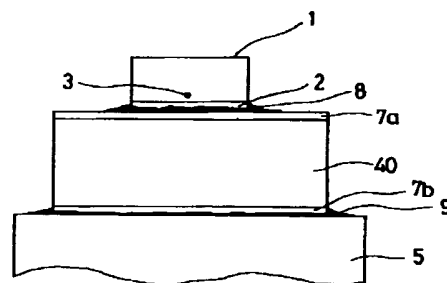
【符号の説明】

- 1 レーザチップ
- 2 表面メタライズ
- 3 発光点
- 4 サブマウント
- 5 金属ブロック
- 7a バリヤメタル
- 7b バリヤメタル
- 8 部分AuSn半田層
- 9 全面AuSn半田層
- 10 サブマウント基体

【図1】

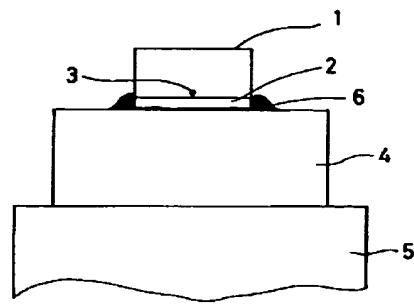


【図2】



- |            |                |
|------------|----------------|
| 1: レーザチップ  | 7a, 7b: バリヤメタル |
| 2: 表面メタライズ | 8: AuSn半田層(部分) |
| 3: 発光点     | 9: AuSn半田層(全面) |
| 5: 金属ブロック  | 10: サブマウント基板   |
|            | 40: サブマウント     |

【図3】



---

フロントページの続き

(51)Int. Cl.<sup>5</sup>

H01S 3/18

識別記号

庁内整理番号

F I

技術表示箇所

DERWENT-ACC-NO: 1995-046890  
DERWENT-WEEK: 199507  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Sub-mount for optical semiconductor element, such  
as laser chip - has  
two barrier layers on both sides of substance and two  
gold@-tin@ eutectic  
solder layer on barrier layer

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITQ]

PRIORITY-DATA: 1993JP-0111466 (May 13, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 06326210 A	November 25, 1994	N/A
004	H01L 023/12	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 06326210A	N/A	1993JP-0111466
May 13, 1993		

INT-CL (IPC): H01L021/52; H01L023/12 ; H01L033/00 ;  
H01S003/18

ABSTRACTED-PUB-NO: JP 06326210A

BASIC-ABSTRACT: The sub-mount is interposed between the  
optical semiconductor  
chip and metal block which is used to dissipate the heat  
from chip. The sub  
mount consists of a substrate (10) and two barrier layers  
(7a, 7b) formed on  
both sides of the substance. A gold-tin eutectic solder  
layer (8) is prepared  
partially on the first barrier layer, and another AuSn  
eutectic solder layer  
(9) is formed on the whole surface of the second barrier  
layer.

ADVANTAGE - Controls protrusion of solder into  
semiconductor chip. Prevents

solder short circuit to junction part of chip. Raises yield.

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS:

SUB MOUNT OPTICAL SEMICONDUCTOR ELEMENT LASER CHIP TWO  
BARRIER LAYER SIDE

SUBSTANCE TWO GOLD@ TIN@ EUTECTIC SOLDER LAYER BARRIER  
LAYER

DERWENT-CLASS: U11 U12 V08

EPI-CODES: U11-E02A3; U12-A01A4; U12-A01B3; V08-A04A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1995-037108

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to sub mounting for OPTO semiconductor devices used for mounting of an OPTO semiconductor device.

[0002]

[Description of the Prior Art] Drawing 3 is the cross section of sub mounting in which the conventional semiconductor laser element carried out die bond. In drawing, sub mounting for surface metallizing by which 1 was prepared in the laser chip and 2 was prepared in the adhesion side of the laser chip 1, the point that the laser beam of the laser chip 1 is emitted, as for 3 emitting light, and 4 mounting the above-mentioned laser chip 1, the metal block with which 5 carries the above-mentioned sub mounting 4, and 6 are the solder for pasting up the above-mentioned laser chip 1 to the sub mounting 4.

[0003] Next, the assembly method is explained. In drawing 3, the laser chip 1 has solder metallizing for adhesion which is not illustrated on the surface metallizing 2 of a laser chip, and, generally a chip 1 pastes it up on the metal block 5 with sufficient thermolysis by the assembly of laser using solder 6 through the sub mounting 4. In using it for ODD (optical MAG disk driver) or a printer furthermore, in order to acquire low-ferver resistance and a low-ferver property, the J/D (junction down) assembly which brings the point 3 emitting light close to the sub mounting 4, and performs an assembly is indispensable. In this case, although the solder 6 in die bond fuses between a chip 1 and the sub mounting 4, spreads to the periphery of a chip 1 and finally fixes, since the point 3 emitting light is in the position of divisor mum from an adhesion side (die bond side), the solder 6 which fixed may contact the P-N junction exposed to the side of a chip 1.

[0004]

[Problem(s) to be Solved by the Invention] Since the conventional sub mounting for OPTO semiconductor devices is constituted as mentioned above The junction section which the solder overflowing into the front face of sub mounting in the case of die bond exposed to the tip side near the point emitting light is contacted. There was a trouble that there were the short fault and the bird clapper to which solder contacts intermittently according to a micro electric discharge phenomenon at the junction section while using a user though it becomes poor short [ the first stage ], and a yield fall can occur and an initial failure and a bird clapper can be avoided.

[0005] It was made in order to cancel the above troubles, the solder at the time of die bond prevents contacting the junction section exposed to the tip side, and becoming short poor, the yield is high, and there is little property change also in an environment-resistant examination, and this invention aims at offering sub mounting for OPTO semiconductor devices which can obtain a reliable semiconductor laser element.

[0006]

[Means for Solving the Problem] Sub mounting for OPTO semiconductor devices concerning this invention prepares a barrier layer in both sides of a sub mounting base, on one barrier layer, prepares a thing eutectic-solder layer [ a little ] smaller than a chip size, and prepares an eutectic-solder layer all over the barrier layer of another side.

[0007]

[Function] Since the eutectic solder formed in the side in contact with the laser chip of sub mounting in this invention is limited to the size of a chip size and formed While the solder at the time of carrying out die bond overflowing into a tip side greatly, and contacting the junction section is suppressed Though overflowed, since it is formed of the eutectic solder, it fully gets used with a barrier layer, the good solder fillet of a surface state is formed, and most things in contact with the junction section are lost.

[0008]

[Example] Sub mounting for OPTO semiconductor devices by the example of this invention is explained about drawing below example 1. In drawing 1, 40 shows sub mounting which consisted of silicon, silicon carbide, or alumimium nitride. To both sides of the sub mounting base 10 which constitutes this sub mounting 40, respectively The barrier metal 7a and 7b which consists of the 1st layer Ti layer 71, a 2nd layer nickel layer or a Pt layer 72, and a 3rd layer Au layer 73 is formed. The AuSn solder layer (Sn wt%=20-40%) 8 of the size equivalent to the size of the laser chip 1 is formed in the front face of one further ] barrier metal 7a, and the AuSn solder layer 9 is formed in the front face of barrier metal 7b of another side. Moreover, drawing 2 is the cross section showing the situation when carrying out die bond of the laser chip using the above-mentioned sub mounting 40, and shows that the same sign as drawing 3 is the same, or a considerable portion.

[0009] Next, an operation and an effect are explained. The AuSn solder layer 9 is formed in the whole surface of vacuum

evaporation or the spatter in the field in which the AuSn solder layer 8 equivalent to the size of the laser chip 1 was formed in the field in which barrier metal 7a of the sub mounting base 10 was formed of vacuum evaporation or the spatter, and barrier metal 7b of the sub mounting base 10 was formed. In this case, in solder melting at the time of die bond, it fully comes to get used with the Au layer 73 which is the maximum surface layer of barrier layer 7a of a ground, and an AuSn eutectic-solder layer with the smooth shape of surface type comes to be formed because the purity of Sn uses the thing more than 6N (99.9999%). The solder 8 protruded into the side of the laser chip 1 when J/D (junction down) assembly is performed, as shown in drawing 2 using such sub mounting 40 is fully pressed down, and when it overflows, it is lost. [ of most solder short-circuit to the junction section ] Moreover, also in environmental tests, such as a thermo cycle and elevated-temperature preservation, laser equipment with high reliability with little property change of laser is obtained.

[0010]

[Effect of the Invention] As mentioned above, according to sub mounting for OPTO semiconductor devices concerning this invention Since the barrier layer was prepared in both sides of a sub mounting base, and the eutectic-solder layer of the size of size of a laser chip was further prepared on it at the principal plane side of the aforementioned base and the eutectic-solder layer was formed all over the rear-face side of the above-mentioned base While fully being able to suppress the amount of the solder protruded into a tip side in the case of die bond, fully being able to suppress the solder short-circuit to the junction section exposed to the tip side and being able to raise the yield Also in environmental tests, such as a thermo cycle and elevated-temperature preservation, it is hardly influenced of solder but is effective in a semiconductor laser element with high reliability with little property change being obtained.

---

[Translation done.]



\*NOTICES\*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The cross section of sub mounting for OPTO semiconductor devices by the example of this invention.

[Drawing 2] The equipment cross section at the time of mounting a semiconductor laser element using the above-mentioned sub mounting.

[Drawing 3] The equipment cross section showing the situation when carrying out die bond of the conventional semiconductor laser element.

[Description of Notations]

- 1 Laser Chip
- 2 Surface Metallizing
- 3 Point Emitting Light
- 4 Sub Mounting
- 5 Metal Block
- 7a Barrier metal
- 7b Barrier metal
- 8 Partial AuSn Solder Layer
- 9 Whole Surface AuSn Solder Layer
- 10 Sub Mounting Base

---

[Translation done.]